

Patent

Customer No. 31561
Application No.: 10/605,012
Docket No. 10320-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Hung
Application No. : 10/605,012
Filed : September 1, 2003
For : STRUCTURE OF FLIP CHIP PACKAGE WITH AREA
BUMP
Examiner :

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 91220267,
filed on: 2002/12/13.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Dec. 10, 2003

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:
7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

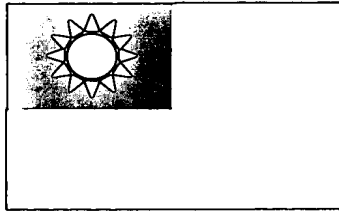
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2002 年 12 月 13 日
Application Date

申請案號：091220267
Application No.

申請人：日月光半導體製造股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 8 月 28 日
Issue Date

發文字號：09220866710
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

新型專利說明書

一、 新型名稱	中 文	具區域凸塊之覆晶封裝結構
	英 文	Structure of Flip Chip Package With Area Bump
二、 創作人 (共1人)	姓 名 (中文)	1. 洪志斌
	姓 名 (英文)	1. Chih-Pin Hung
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 高雄市三民區鼎金後路36巷9號
	住居所 (英 文)	1. No. 9, Lane 36, Ti-Chin-Hou Rd., San-Min District, Kaoshiung, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或 姓 名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 26, Chin 3rd. Rd., 811, Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. Chien-Sheng Chang



四、中文創作摘要 (創作名稱：具區域凸塊之覆晶封裝結構)

一種具區域凸塊之覆晶封裝結構，其具有至少一晶片、一基板、多個第一凸塊(一般凸塊)及至少一第二凸塊(區域凸塊)。其中，這些第一凸塊係分別電性及機械性連接晶片之多個第一晶片墊之一至其所對應之基板之多個第一凸塊墊之一，而第二凸塊亦分別電性及機械性連接晶片之第二晶片墊至基板之第二凸塊墊，其中第二凸塊之尺寸係大於這些第一凸塊之個別的尺寸。值得注意的是，由於第二凸塊之尺寸係大於這些第一凸塊之個別的尺寸，所以此覆晶封裝結構將具有較佳的電氣效能及散熱效能。

伍、(一)、本案代表圖為：第____3____圖

(二)、本案代表圖之元件代表符號簡單說明：

陸、英文創作摘要 (創作名稱：Structure of Flip Chip Package With Area Bump)

A structure of flip chip package with an area bump has at least a chip, a substrate, a plurality of first bumps (normal bumps) and at least a second bump (area bump), wherein these first bumps are electrically and mechanically connected to one of first chip pads and the corresponding one of first bump pads. The second bump is electrically and mechanically connected to a second chip pad and the corresponding second bump pad of the substrate, wherein the size of the second bump is larger than one of these first bumps. Because the



四、中文創作摘要 (創作名稱：具區域凸塊之覆晶封裝結構)

200 : 覆晶封裝結構
210 : 基板
230 : 晶片
240 : 凸塊
242 : 區域凸塊
250 : 底膠

陸、英文創作摘要 (創作名稱：Structure of Flip Chip Package With Area Bump)

size of the second bump is larger than one of these first bumps, the structure has much better electrical performance and performance of heat dissipation.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第一百零五條準用
第二十四條第一項優先權

二、☐主張專利法第一百零五條準用第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第九十八條第一項☐第一款但書或☐第二款但書規定之期間

日期：



五、創作說明 (1)

新型所屬之技術領域

本創作是有關於一種覆晶封裝結構，且特別是有關於一種具區域凸塊之覆晶封裝結構。

先前技術

覆晶接合技術 (Flip Chip Interconnect Technology) 主要是利用面陣列 (area array) 的排列方式，將多個晶片墊 (die pad) 配置於晶片 (die) 之主動表面 (active surface)，並在各個晶片墊上形成凸塊 (bump)，且在將晶片翻面 (flip) 之後，利用晶片之晶片墊上的凸塊分別電性 (electrically) 及機械性 (mechanically) 連接至基板 (substrate) 或印刷電路板 (PCB) 之表面所對應的凸塊墊 (bump pad)。此外，覆晶接合技術亦可在預先形成凸塊於基板或印刷電路板之表面的凸塊墊，接著再利用晶片之主動表面上的晶片墊分別電性及機械性連接至其所對應的凸塊。值得注意的是，由於覆晶接合技術可應用於高接腳數 (High Pin Count) 之晶片封裝結構，並具有縮小封裝面積及縮短訊號傳輸路徑等多項優點，所以覆晶接合技術目前已經被廣泛地應用在晶片封裝領域，目前常見應用覆晶接合技術之晶片封裝結構包括覆晶球格陣列 (Flip Chip Ball Grid Array, FC/BGA) 及覆晶針格陣列 (Flip Chip Pin Grid Array, FC/PGA) 等型態之晶片封裝結構。

請同時參考第1圖及第2圖，其中第1圖繪示習知之一種覆晶封裝結構的俯視示意圖，而第2圖繪示第1圖之I-I



五、創作說明 (2)

線的剖面示意圖。覆晶封裝結構100包括基板 (substrate) 110、晶片130、多個凸塊140。如第2圖所示，基板110具有一基板表面112及多個凸塊墊 (bump pad) 114，而這些凸塊墊114係配置於基板110之基板表面112。此外，晶片130具有一主動表面 (active surface) 132，其中晶片130之主動表面132係泛指晶片130具有主動元件 (active device) (未繪示) 的一面，且晶片130更具有多個晶片墊134，其配置於晶片130之主動表面132，用以作為晶片130之訊號輸出入的媒介，其中這些凸塊墊114之位置係分別對應於這些晶片墊134之位置。另外，這些凸塊140則分別電性及機械性連接這些晶片墊134之一至其所對應之這些凸塊墊114之一。最後，底膠 (underfill) 150係填充於基板110、晶片130及這些凸塊140所共同圍成的空間，用以保護凸塊墊114、晶片墊134及這些凸塊140所裸露出之部分。

就習知之覆晶接合技術而言，晶片之作為訊號 (signal)、電源 (power) 與接地 (ground) 等功能的晶片墊均是經由相同尺寸的球狀凸塊而電性連接至基板之對應的凸塊墊。值得注意的是，由於相同尺寸之凸塊其電氣效能及散熱效能均已固定，若要提升晶片於封裝後之電性效能及散熱效能，將很難從相同尺寸之凸塊來著手改善。因此，若是設計者要大幅提昇晶片於封裝後之電氣效能與散熱效能，勢必從其他方式來著手改善。

新型內容



五、創作說明 (3)

有鑑於此，本創作之目的就是在提供一種具區域凸塊之覆晶封裝結構，其可依照晶片之電性上的各種特殊要求，而將凸塊在橫向上設計成任意的形狀，用以提升晶片於封裝後之電氣效能及散熱效能。

本創作提出一種具區域凸塊之覆晶封裝結構，其具有一基板、至少一晶片、多個第一凸塊（一般凸塊）及至少一第二凸塊（區域凸塊）。首先，基板具有一基板表面、多個第一凸塊墊及至少一第二凸塊墊，其中第二凸塊墊之面積係大於這些第一凸塊墊之個別的面積。此外，晶片具有一主動表面、多個第一晶片墊及至少一第二晶片墊，其中第二晶片墊之面積係大於這些第一晶片墊之個別的面積。另外，第一凸塊係分別連接這些第一晶片墊之一至其所對應之這些第一凸塊墊之一。並且，第二凸塊係連接這些第一凸塊墊至第二凸塊墊，其中第二凸塊之尺寸係大於這些第一凸塊之個別的尺寸。

依照本創作之較佳實施例所述，其中第二凸塊之尺寸係可雙倍於這些第一凸塊之個別之尺寸。另外，這些第一凸塊係可位於第二凸塊之外圍，其中第一晶片墊例如是訊號晶片墊、電源晶片墊或接地晶片墊，而第二晶片墊例如是電源晶片墊、接地晶片墊或特殊訊號晶片墊。再者，更將一底膠填充於晶片、這些第一凸塊、第二凸塊及基板所圍成的空間。

因此，本創作之具區域凸塊之覆晶封裝結構乃是藉由改變凸塊於橫向上的形狀，使得原先同一組電源或接地的



五、創作說明 (4)

多個凸塊能夠整合成為凸塊，故可相對增加多個凸塊整合之前的面積，因而增加多個凸塊整合之前的導電面積及散熱面積，進而提升晶片於封裝後之電性效能及散熱效能。

為讓本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

請依序參考第3、4圖，其中第3圖繪示本創作之較佳實施例之具區域凸塊之覆晶封裝結構的俯視示意圖，而第4圖繪示第3圖之II-II線的剖面示意圖。覆晶封裝結構200包括基板210、晶片230及多個凸塊。其中這些凸塊包括多個第一凸塊及一第二凸塊，其中這些第一凸塊係為一般凸塊240，而第二凸塊係為至少一區域凸塊242。如第4圖所示，基板210具有一基板表面212、多個凸塊墊214、多個區域凸塊墊216，而這些凸塊墊214及區域凸塊墊216均配置於基板210之基板表面212。此外，晶片230具有一主動表面232，其中晶片230之主動表面232係泛指晶片230之具有主動元件（未繪示）的一面，並且晶片230還具有多個晶片墊234及多個區域晶片墊236，而這些晶片墊234及這些區域晶片墊236均配置於晶片230之主動表面232。其中，這些晶片墊234及這些區域晶片墊236之位置係分別對應於這些凸塊墊214及這些區域凸塊墊216之位置。另外，這些凸塊240則分別電性及機械性連接這些晶片墊234之一至其所對應之這些凸塊墊214之一，而這些區域凸塊



五、創作說明 (5)

242 係分別電性及機械性連接區域晶片墊236至其所對應之區域凸塊墊216。

請同樣參考第4圖，底膠250係可填充於基板210、晶片230、這些凸塊240及這些區域凸塊242所圍成的空間，用以保護這些凸塊240及這些區域凸塊242所裸露出之部分，並提供適當的彈性緩衝至基板210與晶片230之間。因此，晶片230之晶片墊234將可分別經由凸塊240，而電性及機械性連接至基板210之凸塊墊214，而晶片230之區域晶片墊236則可分別經由區域凸塊242，而電性及機械性連接至基板210之區域凸塊墊216。

請同樣參考第4圖，這些晶片墊234係可作為晶片230之訊號、電源或接地的傳輸媒介，所以晶片墊234係可為訊號晶片墊、電源晶片墊或接地晶片墊，而這些區域晶片墊236則可作為晶片230之電源或接地的傳輸媒介，所以區域晶片墊236係可為電源晶片墊或接地晶片墊，其中這些區域晶片墊236之面積可大於這些晶片墊234之個別的面積。值得注意的是，若有特殊之訊號必須利用較大的電流導通面積時，區域晶片墊236亦可作為此特殊訊號的傳輸媒介，而為特殊訊號晶片墊。此外，由於區域凸塊242必須提供較大的電流導通面積，所以區域凸塊242之尺寸必須大於這些凸塊240之個別的尺寸，且兩者之尺寸甚至可以相差到兩倍以上。另外，由於大部分之晶片的電路佈局均將電源或接地聚集在晶片230之中央，所以這些凸塊240大部分將會安排在區域凸塊242之外圍。



五、創作說明 (6)

請同樣參考第4圖，由於習知之第2圖之作為電源或接地用之晶片墊134，其大部分係以群組的方式安排在晶片134之主動表面132的中央，所以區域晶片墊236a、236c之橫向形狀例如是L形，用以取代習知之原先作為電源或接地用之晶片墊的分佈，而區域晶片墊236b之橫向形狀例如是長方形，同樣可用以取代習知之原先作為電源或接地用之晶片墊的分佈。因此，區域凸塊242之橫向形狀可以對應區域晶片墊236之橫向形狀，而為L型或方型等形狀，甚至是其他形狀。此外，這些區域凸塊墊216之面積亦大於這些凸塊墊214之個別的面積，且這些凸塊墊214亦可對應位於區域凸塊墊216之外圍，而區域凸塊墊216a、216c之橫向形狀例如是L形，而區域凸塊墊216b之橫向形狀例如是長方形。基於上述，區域晶片墊236之橫向形狀係可相同於其所對應之區域凸塊墊216之橫向形狀，但是兩者之面積則可以不同。

請同樣參考第4圖，當區域晶片墊236係為電源晶片墊或是接地晶片墊時，由於區域晶片墊236之面積較大，且其所對應之區域凸塊242及區域凸塊墊216之面積亦相對較大，故可提供較大的電流導通面積，如此將有助於提升晶片230於封裝後之電性效能。此外，由於區域凸塊墊216之面積較大，使得區域凸塊墊216之熱能傳導面積增加，如此將有助於提升晶片230於封裝後之散熱效能。

然而，熟悉該項技術者應該知道，晶片之區域晶片墊並不限定是電源晶片墊或接地晶片墊，對於需要較大之電



五、創作說明 (7)

流導通面積的特殊訊號而言，本創作之晶片之區域晶片墊亦可作為上述之特殊訊號的晶片墊，以符合晶片於設計時的電性要求。因此，區域晶片墊係可為電源晶片墊、接地晶片墊或特殊訊號晶片墊。

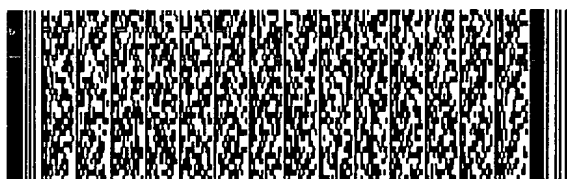
基於上述，本創作之具區域凸塊之覆晶封裝結構具有一基板、至少一晶片、多個第一凸塊（一般凸塊）及至少一第二凸塊（區域凸塊）。其中第二凸塊係連接第二晶片墊至第二凸塊墊，而第二凸塊之尺寸係大於這些第一凸塊之個別的尺寸。值得注意的是，由於第二凸塊之尺寸係大於這些第一凸塊之個別的尺寸，所以此覆晶封裝結構將具有較佳的電氣效能及散熱效能。

綜上所述，本創作之具區域凸塊之覆晶封裝結構具有下列優點：

（1）本創作之具區域凸塊之覆晶封裝結構可依照晶片之電性上的各種特殊要求，而將凸塊在橫向上設計成任意的形狀，故可提升晶片於封裝後之電氣效能，使得本創作之覆晶封裝結構可適用於特殊電性需求之電子產品。

（2）本創作之具區域凸塊之覆晶封裝結構其區域凸塊之尺寸較大（此乃相對於一般凸塊而言），故可提升增加晶片於封裝後之散熱效能，使得本創作之覆晶封裝結構可適用於高功率消耗之電子產品。

雖然本創作已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保



五、創作說明 (8)

護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖繪示習知之一種覆晶封裝結構的俯視示意圖；

第2圖繪示第1圖之I-I線的剖面示意圖；

第3圖繪示依照本創作之較佳實施例之具區域凸塊之覆晶封裝結構的俯視示意圖；以及

第4圖繪示第3圖之II-II線的剖面示意圖。

圖式標示說明

100：覆晶封裝結構	110：基板
112：基板表面	114：凸塊墊
130：晶片	132：主動表面
134：晶片墊	140：凸塊
150：底膠	200：覆晶封裝結構
210：基板	212：基板表面
214：凸塊墊	216：區域凸塊墊
230：晶片	232：主動表面
234：單一晶片墊	236：區域晶片墊
240：凸塊	242：區域凸塊
250：底膠	



六、申請專利範圍

1. 一種具區域凸塊之覆晶封裝結構，包括：

一基板，具有一基板表面、複數個第一凸塊墊及至少一第二凸塊墊，其中該第二凸塊墊之面積係大於該些第一凸塊墊之個別的面積；

至少一晶片，具有一主動表面、複數個第一晶片墊及至少一第二晶片墊，其中該第二晶片墊之面積係大於該些第一晶片墊之個別的面積；

複數個第一凸塊，分別連接該些第一晶片墊之一至其所對應之該些第一凸塊墊之一；以及

至少一第二凸塊，連接該第二晶片墊至該第二凸塊墊，其中第二凸塊之尺寸係大於該些第一凸塊之個別的尺寸。

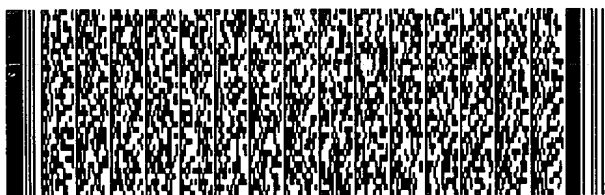
2. 如申請專利範圍第1項所述之具區域凸塊之覆晶封裝結構，其中該第二凸塊之尺寸係雙倍於該些第一凸塊之個別的尺寸。

3. 如申請專利範圍第1項所述之具區域凸塊之覆晶封裝結構，其中該些第一凸塊係位於該第二凸塊之外圍。

4. 如申請專利範圍第1項所述之具區域凸塊之覆晶封裝結構，其中該第一晶片墊係為訊號晶片墊、電源晶片墊及接地晶片墊其中之一。

5. 如申請專利範圍第1項所述之具區域凸塊之覆晶封裝結構，其中該第二晶片墊係為電源晶片墊、接地晶片墊及特殊訊號晶片墊其中之一。

6. 如申請專利範圍第1項所述之具區域凸塊之覆晶封

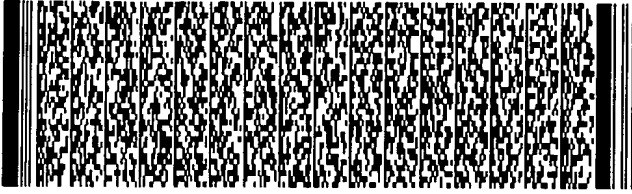


六、申請專利範圍

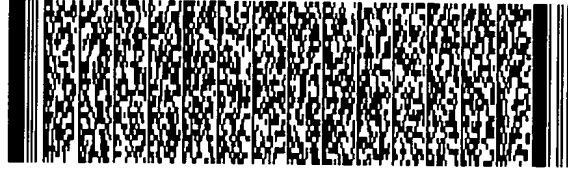
裝結構，更包括一底膠，其填充於該基板、該晶片、該些第一凸塊及該第二凸塊所圍成的空間。



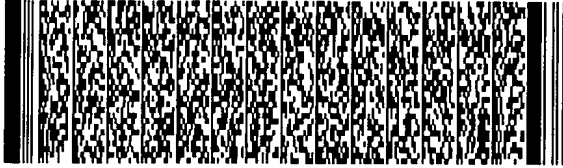
第 1/15 頁



第 2/15 頁



第 2/15 頁



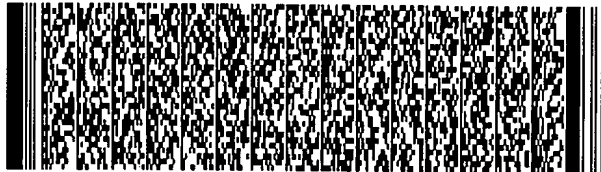
第 3/15 頁



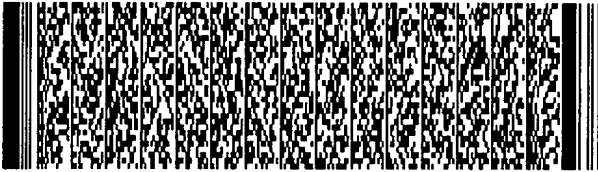
第 4/15 頁



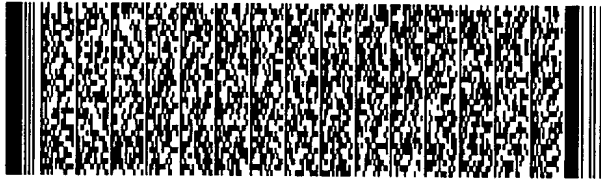
第 5/15 頁



第 5/15 頁



第 6/15 頁



第 6/15 頁



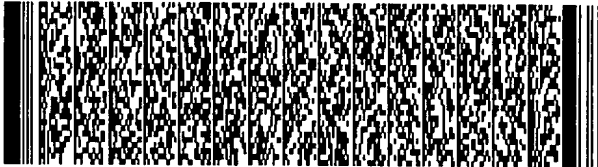
第 7/15 頁



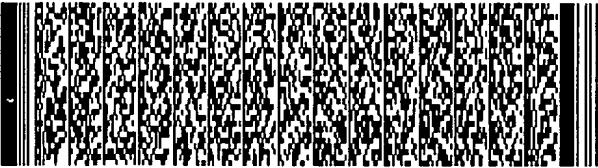
第 7/15 頁



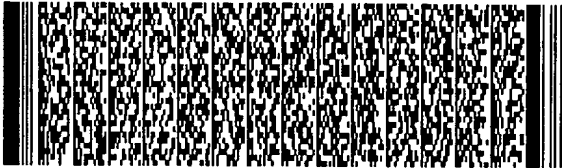
第 8/15 頁



第 8/15 頁



第 9/15 頁



第 9/15 頁



第 10/15 頁



第 10/15 頁



第 11/15 頁



第 11/15 頁



第 12/15 頁



第 13/15 頁

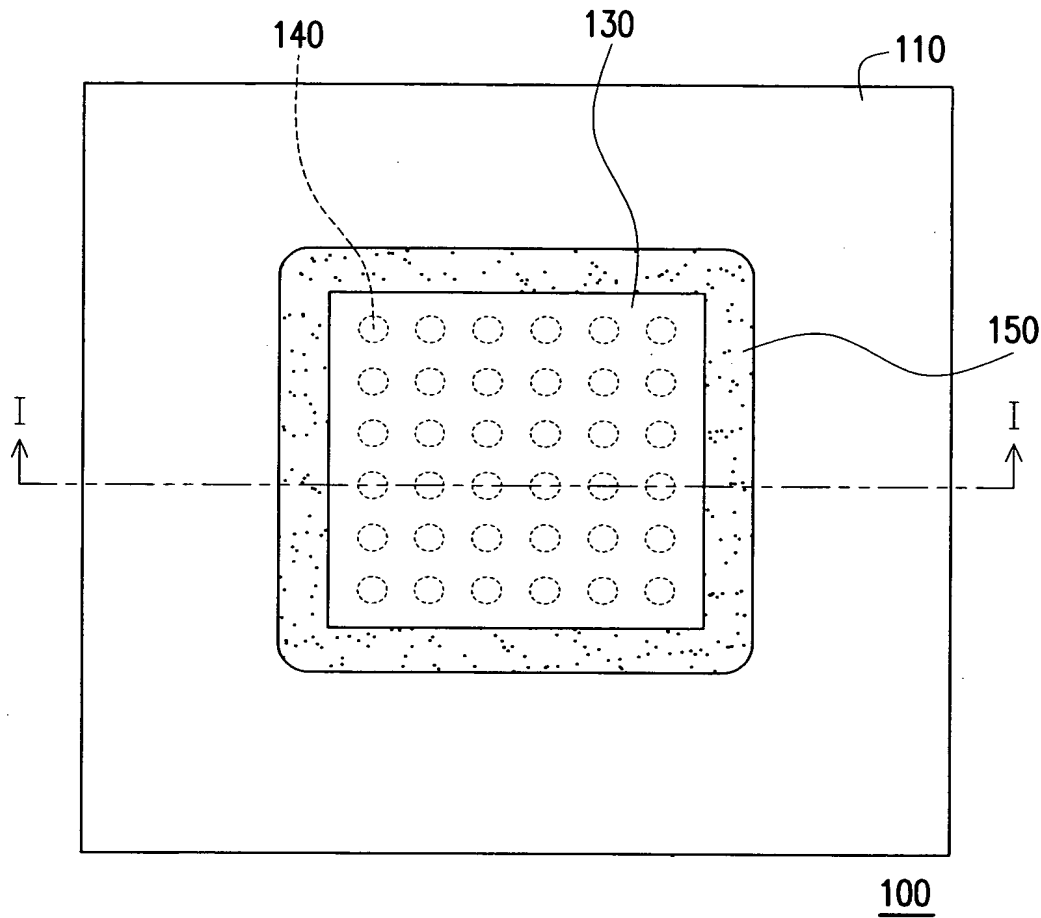


第 14/15 頁

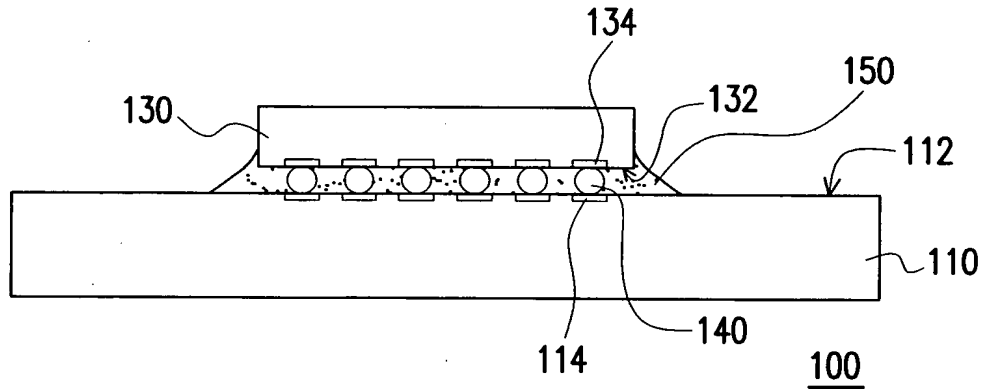


第 15/15 頁

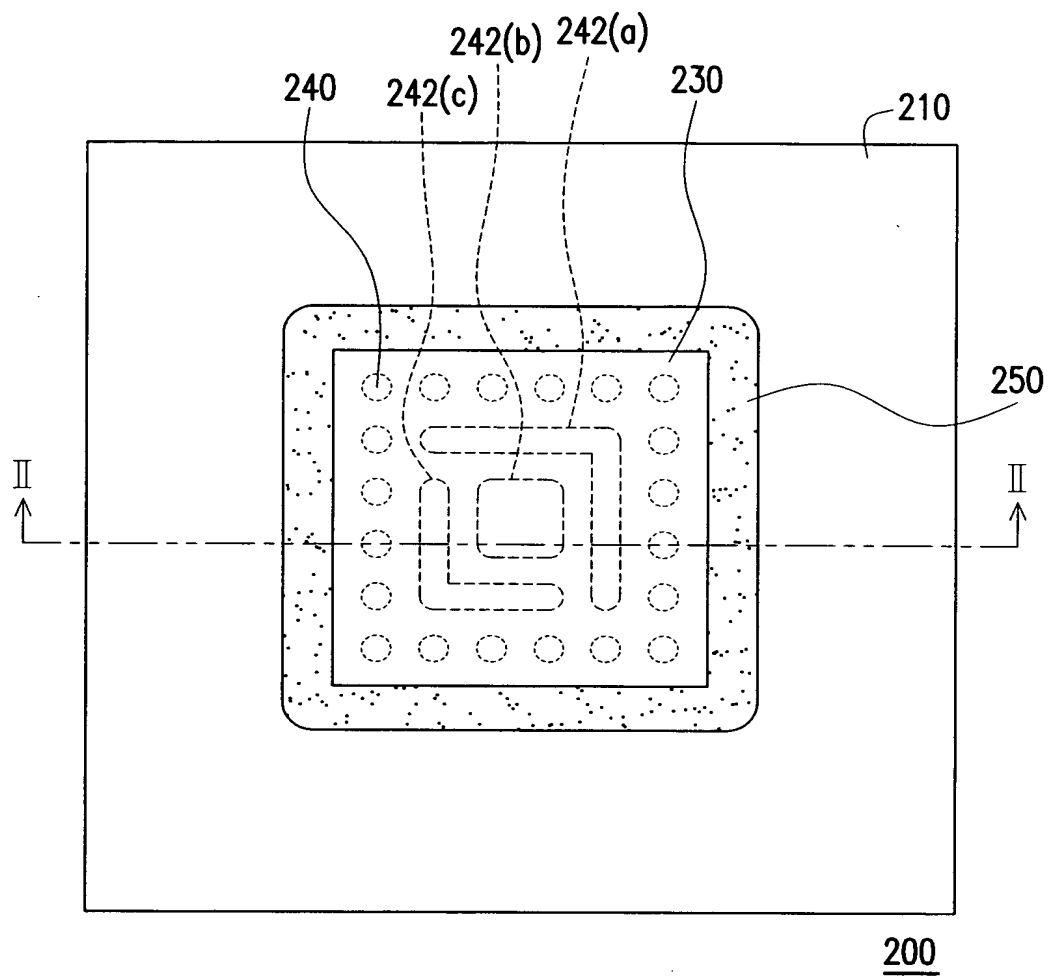




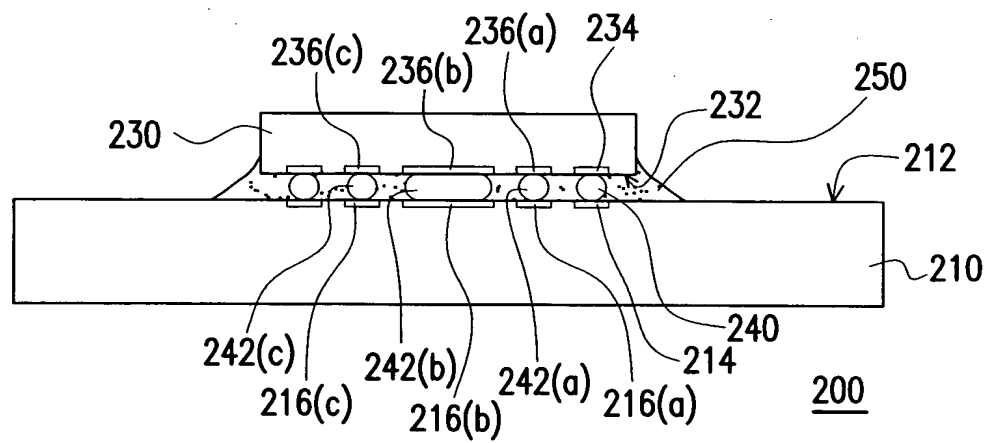
第 1 圖



第 2 圖



第 3 圖



第 4 圖